

四、中文發明摘要 (發明之名稱：銅金屬化之障壁)

本發明包括一種用於積體電路之銅金屬化之方法，其包括在基材上形成鈮，在鈮上形成氮化鈮，在氮化鈮上形成氮化鈦，在氮化鈦上形成銅之步驟，及由此方法所製得之積體電路。本發明尤其有用於形成具有大深寬比之嵌刻結構。

英文發明摘要 (發明之名稱：BARRIER FOR COPPER METALLIZATION)

The invention includes a process for copper metallization of an integrated circuit, comprising the steps of forming tantalum on a substrate, forming tantalum nitride over the tantalum, forming titanium nitride over the tantalum nitride, forming copper over the titanium nitride and integrated circuits made thereby. The invention is particularly useful in forming damascene structures with large aspect ratios.



**本系統專利資料僅供參考，不作為准駁依據，所有資料以經濟部智慧財產局公告為準 | 中文造字安裝程式：(約1.6M)

00465069 -- 核准公告專利公報資料

銅金屬化之障壁

專利公告號	00465069
卷號	28
期號	33
公告日期	2001/11/21
國際專利分類號	H01L 23/532, H01L 21/285
申請案號	0088122552
申請日期	2000/2/11
申請人	朗訊科技公司 ;美國
發明人	西達莎 包米克 ;美國 塞利希 齊帝沛迪 ;美國 塞利希 曼辛 莫錢特 ;美國
證書號	144804
授權註記	無
讓與註記	有
繼承註記	無
異議註記	無
舉發註記	無
消滅日期	-
撤銷日期	-
專利權法定起迄日	2001/11/21 - 2020/02/10
年費有效日期	2003/11/20
年費有效年次	2

90年7月 日

99修正16修正

申請日期：89.2.11

案號：88122552

補充

類別：H01L 23/532 ; H01L 23/88

(以上各欄由本局填註)

發明專利說明書

465069

一、 發明名稱	中 文	銅金屬化之障壁
	英 文	BARRIER FOR COPPER METALLIZATION
二、 發明人	姓 名 (中文)	1. 西達莎 包米克 2. 塞利希 齊帝沛迪 3. 塞利希 曼辛 莫錢特
	姓 名 (英文)	1. SIDDHARTHA BHOWMIK 2. SAILESH CHITTIPEDDI 3. SAILESH MANSINH MERCHANT
	國 籍	1. 印度 2. 美國 3. 美國
	住、居所	1. 美國佛州奧蘭多市歐皮拉納街2132號 2. 美國賓州亞倫頓市樂納普街308號 3. 美國佛州奧蘭多市葡園橡樹大道8214號
三、 申請人	姓 名 (名稱) (中文)	1. 美商朗訊科技公司
	姓 名 (名稱) (英文)	1. LUCENT TECHNOLOGIES INC.
	國 籍	1. 美國
	住、居所 (事務所)	1. 美國新澤西州摩里山丘市山脈大道600號
	代表人 姓 名 (中文)	1. 麥克 R. 格林
	代表人 姓 名 (英文)	1. MICHAEL R. GREENE



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

美國 US

1998/12/22 09/218,649

有

有關微生物已寄存於

寄存日期

寄存號碼

無



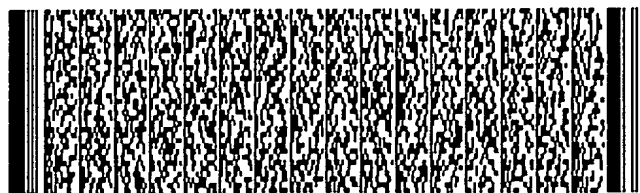
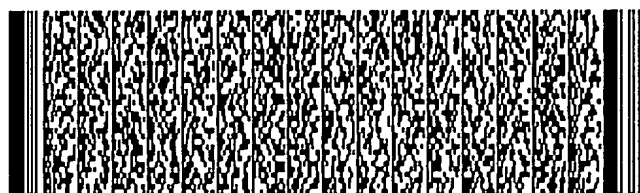
五、發明說明 (1)

發明領域

本發明大致係關於積體電路，而更明確言之，係關於包括銅金屬化之積體電路。

發明背景

在積體電路中使用銅金屬化來形成線路。在過去，此項工作係經由應用光罩及蝕刻半導體基材而形成諸如嵌刻(damascene)結構、窗口、淺溝及通道等特性，然後利用鈹(其係使用作為障壁層)金屬化，經由物理汽相沈積(PVD)形成銅種晶層，及接著再利用無電或電解電鍍電化學沈積(ECD)銅而完成。在一例子中，將基材研磨，及將所產生之經填補銅的淺溝稱為「嵌刻結構」。很遺憾的是，已知此方法會在銅中形成不期望的晶粒結構，即銅晶粒自上述特性結構的壁面向內成長。但晶粒結構自特性結構的底部向上成長為較佳。雖然並未完全明瞭，但一直覺得在垂直於電流流動方向上對銅之晶粒邊界定向是有好處的，因為如此可抑制電遷移。另外，伴隨而來之總晶粒邊界面積之降低可能亦有利於降低銅或點差排擴散，因而亦可抑制電遷移。無論如何，最近已有人提出在沈積銅之前將氮化鈦塗佈至鈹之步驟將會導致在銅中生成此一期望的晶粒結構。然而，氮化鈦在具有大於約2:1之深寬比(高度除以直徑)之特性結構內部會有不良的等形覆蓋(conformal coverage)，因而導致在窗口、通道或嵌刻結構中缺乏銅的填入且會產生空隙。因此，具有較高深寬比之結構的製造將需要重複在先前技藝中建議之程序，以形成「雙嵌刻式」結構，其將需要額外的蝕刻步驟。



五、發明說明 (2)

發明概要

本發明包括一種用於積體電路之銅金屬化之方法，其包括在基材上形成鉍，在鉍上形成氮化鉍，在氮化鉍上形成氮化鈦，然後再在氮化鈦上形成銅之步驟，及由此方法所製得之積體電路。本發明尤其有用於形成具大深寬比之嵌刻結構。使用此新穎的障壁可改良在積體電路中之電鍍銅線路的可靠度。可將本發明應用在關於銅金屬化的所有技術。

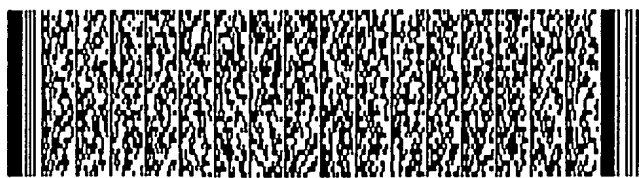
圖示簡單說明

結合附圖而閱讀下文詳述時，當可對本發明有最佳的瞭解。應強調根據半導體工業中之一般實務，圖示之各個特點並未依比例繪製。相反地，為清楚起見，各個特點之尺寸係經任意放大或縮小。圖1-5顯示在根據本發明之一具體實例之各個步驟中之積體電路的橫剖面圖。

發明詳述

可參照圖1而瞭解本發明之一具體實例，其顯示在本發明之一具體實例中之包含淺溝3之基材1，其具有形成於基材1上方之鉍層5。圖2顯示接著在鉍層5之上方形形成一層氮化鉍7。如圖3所示，接著在氮化鉍7上方形成一層氮化鈦9。然後如圖4所示將銅11形成於氮化鈦9上方。圖5顯示將基材平面化以移除銅，剩餘之經填補銅的淺溝為嵌刻結構。嵌刻淺溝僅係一個例子；其他可由本發明而獲利之結構及特點一般為通道、窗口、階梯等等。

此系統中之障壁層為鉍/氮化鉍/氮化鈦。氮化鉍在鉍上，尤其係在壁上，形成均勻塗層之能力較氮化鈦者為佳



五、發明說明 (3)

。如此可使所產生之嵌刻結構較利用氮化鈦所可覆蓋者，具有較大之深寬比。雖然不希望受限於任何理論，但請注意氮化鈦可經由使鈦與含電漿之氮反應而形成，其接著再將所有暴露的鈦，包括通道及淺溝之壁，轉變成氮化鈦。然而，PVD氮化鈦更具瞄準特性，其可提供較低的階梯覆蓋率(step coverage)。雖然尚未完全明瞭，但其可能係由於淺溝之鈦壁具有氮化鈦之保護層，而可抑制鈦將銅晶粒之不期望的側面成長晶核生成於淺溝中心，即使壁面僅局部薄薄地覆蓋，或完全未覆蓋氮化鈦時亦然，而在淺溝底部同時存在之氮化鈦可引發期望的垂直圓柱狀銅晶粒定向。注意在過去將鈦/氮化鈦單獨使用作為障壁層時，會有不良的電遷移可靠度。

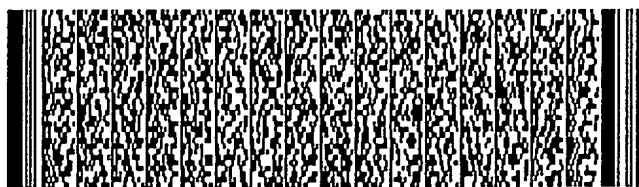
氮化鈦提供等形覆蓋之能力有助於氮化鈦提供對銅產生優良紋理的下層，因此而可改良可靠度。將單層的氮化鈦或氮化鈦作為此堆疊之一部分將可提供如由本發明所提供之一項或另一項利益，但無法同時提供兩者。

本發明之基材1一般係諸如矽、鍺、砷化鎵等等之半導體。基材可具有之特點包括嵌刻結構、淺溝、通道、窗口等等。

鈦層5之形成係習知技術，舉例而言可利用PVD、化學汽相沈積(CVD)來完成，且一般為約5至約50奈米厚。

氮化鈦層7可利用電漿氮化、PVD、CVD等等形成。生成層之厚度係自約5至約100奈米，以約10至約50奈米較佳。

氮化鈦層9可利用PVD、CVD等等形成。生成層之厚度係自約5至約100奈米，以約10至約50奈米較佳。



五、發明說明(4)

銅11的形成一般係經由應用PVD或CVD或無電種晶層(未示於圖中)，隨後再經由無電或電解電鍍形式之ECD完成。銅可利用諸如化學機械研磨之方式來平面化。

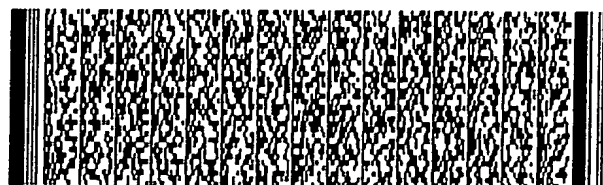
本發明使用由鈹/氮化鈹/氮化鈦所組成之新穎的三層堆疊，其沈積方式是在將其餘的Cu予以電鍍以填補嵌刻結構及形成線路之前，使用PVD方法或具有一PVD(或CVD)銅種晶層之PVD或CVD鈹/CVD氮化鈹/CVD氮化鈦障壁堆疊。

一具體實例係在ECD銅之前使用PVD鈹/PVD氮化鈹/PVD氮化鈦/PVD銅作為金屬堆疊。在本發明之另一具體實例中，障壁堆疊係由CVD薄膜所組成，以在低於0.25微米之結構中提供更佳的階梯覆蓋率，在次於0.25微米之結構中，大深寬比的開口(窗口及通道)由於PVD薄膜之不良的等形均勻性而難以製造。因此，CVD/PVD方法之組合對組成薄膜為較佳，且為了沈積出最佳的等形薄膜，完全的CVD薄膜堆疊為最佳。PVD在待填補銅之特性結構中可達成約2:1至約2.5:1的深寬比，而CVD較PVD更為均勻，將可接受約4:1至約15:1之深寬比。

雖然已詳細說明本發明，但熟悉本技藝人士應明瞭在不脫離在本發明之廣義形式的精神及範圍下，仍可作各種變化、取代及改變。

元件符號簡單說明

元 件	說 明	元 件	說 明
1	基材	3	淺溝
5	鈹層	7	氮化鈹層
9	氮化鈦層	11	銅



圖式簡單說明

六、申請專利範圍

1. 一種用於積體電路之銅金屬化之方法，包括下列步驟：

提供一基材；
在基材上形成鉍；
在鉍上形成氮化鉍；
在氮化鉍上形成氮化鈦；及
在氮化鈦上形成銅。

2. 如申請專利範圍第1項之方法，其中該方法更包括在基材中形成具有至少約2:1之深寬比之特點之步驟。

3. 如申請專利範圍第2項之方法，其中該方法更包括在基材中形成具有直至約4:1之深寬比之特點之步驟。

4. 如申請專利範圍第2項之方法，其中該方法更包括在基材中形成具有直至約15:1之深寬比之特點之步驟。

5. 如申請專利範圍第2項之方法，其中該特點係選自由窗口、淺溝及通道所組成之群。

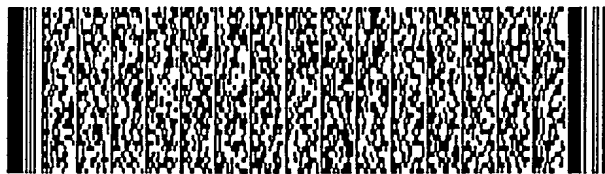
6. 如申請專利範圍第1項之方法，其中該氮化鉍之厚度係約5奈米至約100奈米。

7. 如申請專利範圍第1項之方法，其中該氮化鉍之厚度係約10奈米至約50奈米。

8. 如申請專利範圍第1項之方法，其中該氮化鈦之厚度係約5奈米至約100奈米。

9. 如申請專利範圍第1項之方法，其中該氮化鈦之厚度係約10奈米至約50奈米。

10. 一種積體電路元件，包括：



六、申請專利範圍

一 基材；

在基材上方之一層鈹；

在鈹層上方之一層氮化鈹；

在氮化鈹層上方之一層氮化鈦；及

在氮化鈦層上方之一層銅。

11. 如申請專利範圍第10項之元件，其中該基材包括具有至少約2:1之深寬比之特點。

12. 如申請專利範圍第10項之元件，其中該基材包括具有直至約4:1之深寬比之特點。

13. 如申請專利範圍第10項之元件，其中該基材包括具有直至約15:1之深寬比之特點。

14. 如申請專利範圍第10項之元件，其中該基材包括一選自由窗口、淺溝及通道所組成之群之特點。

15. 如申請專利範圍第10項之元件，其中該氮化鈹之厚度係約5奈米至約100奈米。

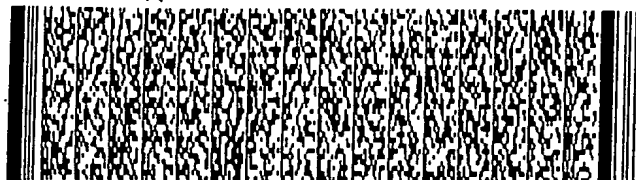
16. 如申請專利範圍第10項之元件，其中該氮化鈹之厚度係約10奈米至約50奈米。

17. 如申請專利範圍第10項之元件，其中該氮化鈦之厚度係約5奈米至約100奈米。

18. 如申請專利範圍第10項之元件，其中該氮化鈦之厚度係約10奈米至約50奈米。



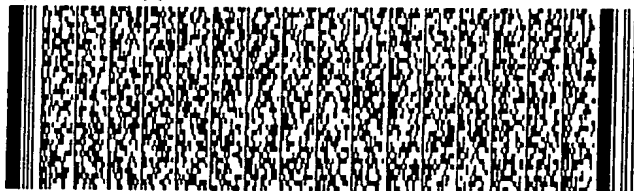
第 1/11 頁



第 3/11 頁



第 4/11 頁



第 5/11 頁



第 6/11 頁



第 7/11 頁



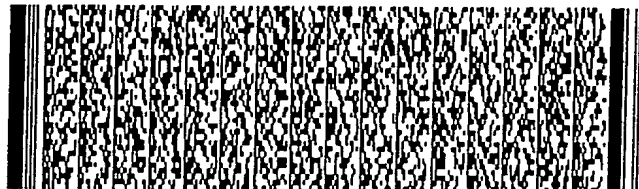
第 11/11 頁



第 2/11 頁



第 4/11 頁



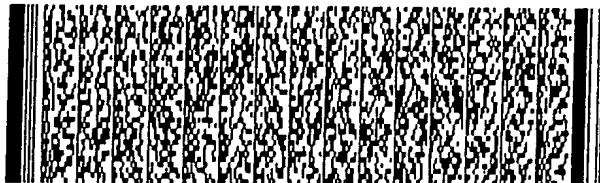
第 5/11 頁



第 6/11 頁



第 7/11 頁



第 10/11 頁



圖式

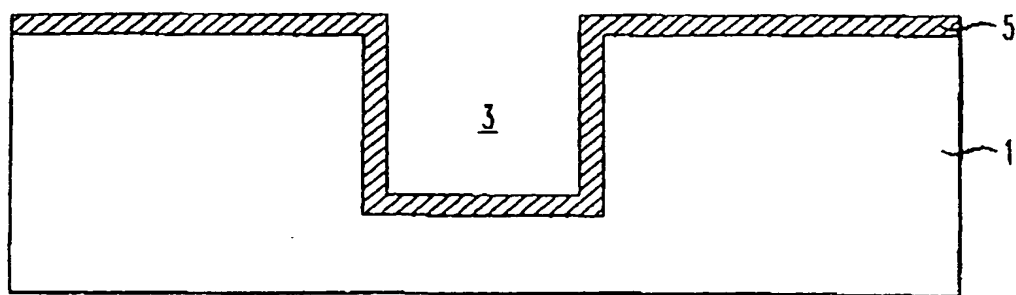


圖 1

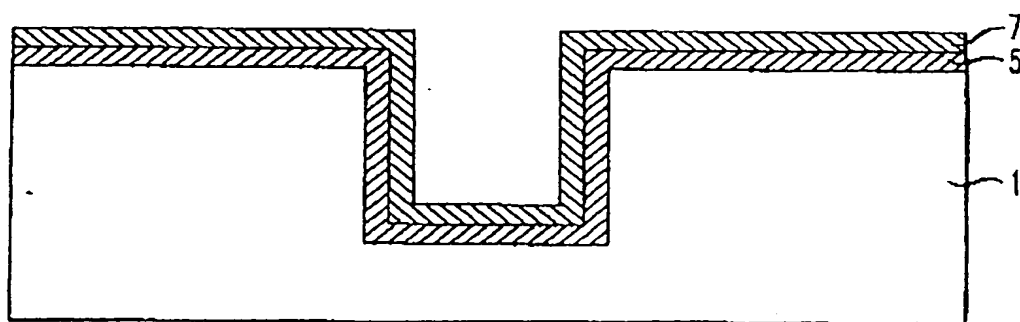


圖 2

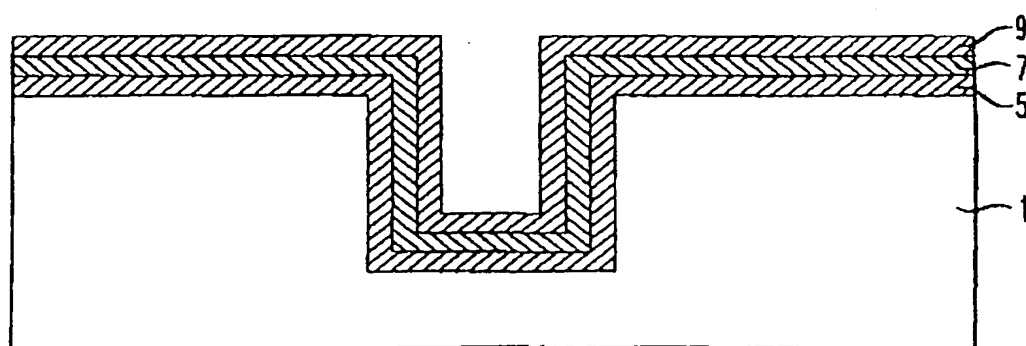


圖 3

圖式

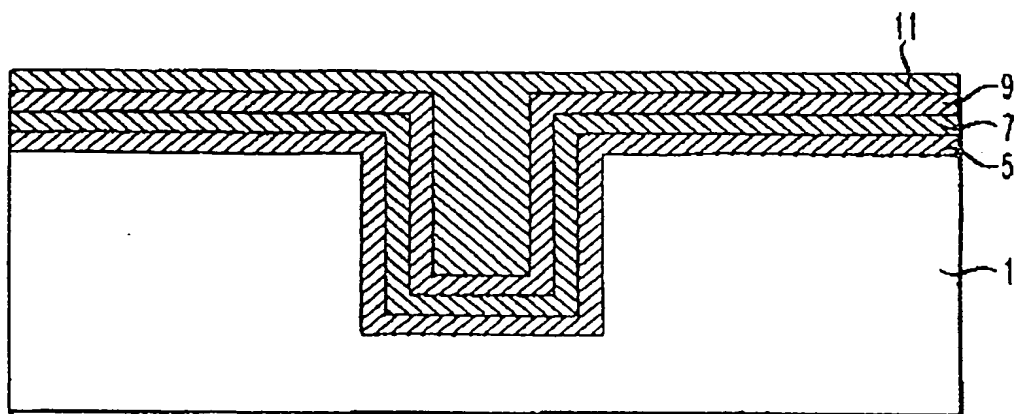


圖 4

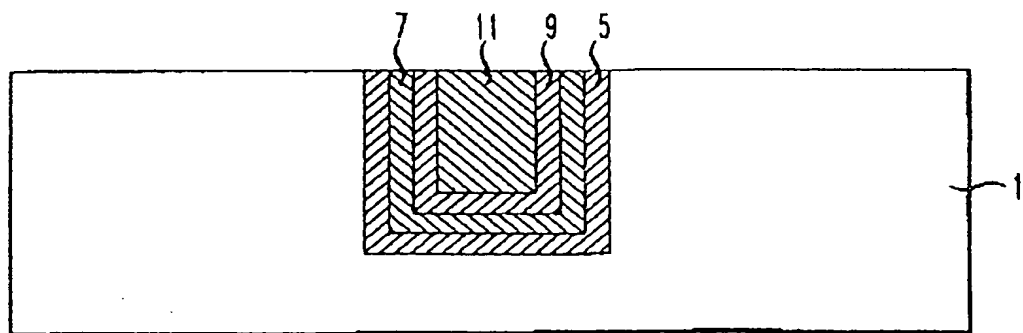


圖 5